





標準 $\tan\Delta$ 材（赤色曲線）および低 $\tan\Delta$ 材（緑色）について、誘電率 E_r が 3.6（1GHz）の関連（Polar Si9000e でのシミュレーション）

基板上で何が起きている？ 基板の損失増加が周波数増加と比例する理由の理解に必要な、基材特性の関係を理解するために、基板が充放電するたびに、わずかながらも測定可能な量のエネルギーが失われていることを知る必要があります。非常に低い周波数では信号減衰量は無視しても良いレベルですが、周波数が上がるにつれて基板の損失（熱エネルギーへの変換）が誘電体のエネルギー蓄積能力を減少させます。上記の例では、低損失正接($\tan\Delta$)の誘電体は、より変化の少ない E_r 曲線を示している（常にそうである）。高 $\tan\Delta$ 材料の E_r は 1GHz 以下では逆に低 $\tan\Delta$ 材よりも高いことにも注意してください。これは 1GHz 以下でも高 $\tan\Delta$ 材料が既にそのエネルギー蓄積能力を一部失っているためです。

一般的な基板エンジニアは、伝送線路のインピーダンスが周波数によってどのように変化するかについてだけを気にかけている（ $\sqrt{L/C}$: L =インダクタンス C =キャパシタンス）ため、インピーダンスが周波数によって大きく変化すると思い込んでいます。比較的損失の大きい材料であっても、インピーダンスは $1/\sqrt{E_r}$: (E_r 値 4.2 の場合 0.487Ω) しか変化しないので、ほぼ影響は無く、 E_r は周波数変化に対して微量しか落ちません、この微量なインピーダンス変化は低損失基板ではさらに変化が少なくなります、損失正接の値が小さいと、 E_r 値の変化カーブが周波数変化にかかわらず平坦化します（さらにインピーダンス変化がなくなる）。

Si9000e（上記のグラフに使ったシミュレーション）は、PCB 伝送ラインが広い周波数帯域でどのように変化するかを調べるために、設計寸法、伝送線路モデルスタイル、銅箔と表面処理のタイプ、伝送線路幅、高さなどのデータから誘電体材料をモデリングできます。

次回は、AP8194 "Rounding loss tangent leads to large modeling errors" 「大きなモデリングエラーを誘発する損失正接値の四捨五入」 について